



PATENT ABSTRACTS OF JAPAN

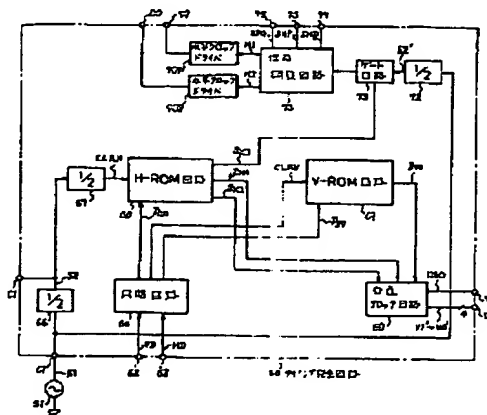
(11) Publication number: **09205591 A**(43) Date of publication of application: **05 . 08 . 97**(51) Int. Cl. **H04N 5/335**(21) Application number: **09003910**(22) Date of filing: **13 . 01 . 97**(62) Division of application: **63006202**(71) Applicant: **SONY CORP**(72) Inventor: **YAMAGUCHI MASANORI
SATO MAKI**(54) **TIMING PULSE GENERATING CIRCUIT**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce a memory capacity by obtaining a timing pulse repeated in a horizontal direction and a timing pulse repeated in a vertical direction from separate ROMs.

SOLUTION: Pulses SH_1 , SH_2 repeated in a horizontal direction are outputted from a horizontal ROM circuit 65 and a pulse SH_3 specifying a vertical transfer period, that is, a period not outputting horizontal transfer clocks $H1$, $H2$ is outputted. Furthermore, a pulse S_{V1} repeating in a vertical direction at a low level corresponding to a read period of a CCD solid-state image pickup element 3 for odd and even numbered fields is outputted from a vertical ROM circuit 69. Thus, the horizontal repetitive pulses SH_1 - SH_3 are obtained from the horizontal ROM circuit 65 and the vertical repetitive pulse S_{V1} is obtained from the vertical ROM circuit 69 in this way, then the data quantity written in each ROM of the horizontal ROM circuit 65 and the vertical ROM circuit 69 is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205591

(43) 公開日 平成9年(1997) 8月5日

(51) Int.Cl.⁸

H 0 4 N 5/335

識別記号

庁内整理番号

F I

H 0 4 N 5/335

技術表示箇所

Z

審査請求 有 請求項の数 1 O L (全 14 頁)

(21) 出願番号 特願平9-3910
(62) 分割の表示 特願昭63-6202の分割
(22) 出願日 昭和63年(1988) 1月14日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 山口 正則
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者 佐藤 真木
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 タイミングパルス発生回路

(57) 【要約】

【課題】 メモリ容量を小さくできるようにすることを目的とする。

【解決手段】 このタイミングパルス発生回路60は、CCD撮像素子の動作を制御するタイミングパルスが発生するタイミングパルス発生回路60において、水平方向に繰り返すタイミングパルスと垂直方向に繰り返すタイミングパルスとを、夫々別個のH-ROM回路65、V-ROM回路69より得るようにしたことにより、ROMの容量を削減できるようにした。

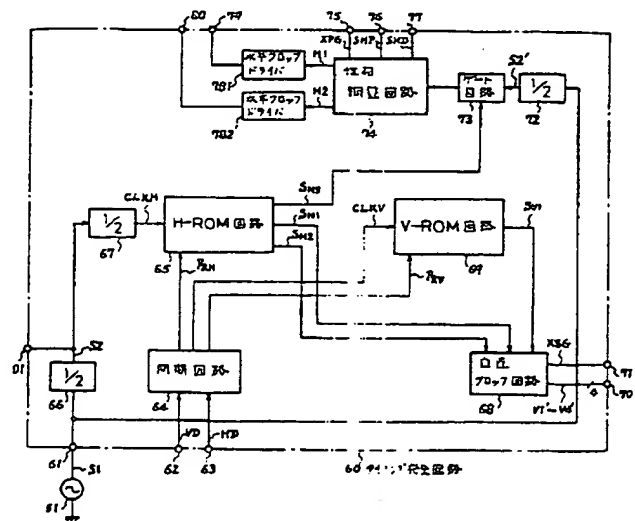


図1 タイミングパルス発生回路の構成図

【特許請求の範囲】

【請求項1】 水平周期の第1の基準パルスで制御される第1のアдресカウンタと、この第1のアдресカウンタの出力で読み出しアドレスが制御される第1のROM手段と、水平周波数に比して十分高い周波数を有する第2の基準パルスで制御される第2のアдресカウンタと、この第2のアдресカウンタの出力で読み出しアドレスが制御される第2のROM手段とを有し、上記第1のROM手段及び上記第2のROM手段より、それぞれ第1のタイミングパルス及び第2のタイミングパルスを得るタイミングパルス発生回路であって、

上記第2のROM手段は、

論理レベルデータが記憶された第1のROMと、

上記論理レベルデータのレベルを保持する期間を表す保持期間データが記憶された第2のROMとを含み、第1のROMは上記第2のタイミングパルスを生成するように制御され、

上記第2のアдресカウンタは、

上記第2の基準パルスをカウントし、上記第2のROMからの出力結果に基づいて出力パルスを生成する第1のカウントと、

上記第1のカウントからの出力によって制御される第2のカウントとを含み、上記第2のカウントの出力によって、上記第1のROMのアドレスと上記第2のROMのアドレスとが制御されるタイミングパルス発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CCD撮像素子の動作を制御するタイミングパルスを発生するタイミングパルス発生回路に関する。

【0002】

【従来の技術】 図13はCCD固体撮像装置の一例を示すものである。同図例は、インターライン転送方式の例である。

【0003】 同図において、1はCCD装置であり、2は電荷検出信号の出力端子である。また、CCD装置1において、3はCCD固体撮像素子であり、4は受光部、5は転送ゲート、6は垂直シフトレジスタ、7は水平シフトレジスタ、8は電荷検出部である。

【0004】 垂直シフトレジスタ6には、端子9より、図14K~Nに示すような4相の垂直転送クロックV1~V4が供給され、受光部4に蓄積された信号電荷の垂直シフトレジスタ6への転送及び、このように垂直シフトレジスタ6に転送された信号電荷の水平シフトレジスタ7への転送が行われる。即ち、垂直転送クロックV1及びV3は、レベルV_L、V_H、V_Tを持った3値レベルクロックであり、垂直転送クロックV2及びV4は、レベルV_L、V_Hを持った2値レベルクロックである。垂直転送クロックV1がレベルV_Tとなるのは奇数フィールドの最初の垂直帰線期間内であり、垂直転送クロ

ックV3がレベルV_Tとなるのは偶数フィールドの最初の垂直帰線期間内である。なお、図14A及びBは、夫々垂直同期パルスVD及び水平同期パルスHDを示している。

【0005】 図15は、受光部4、転送ゲート5及び垂直シフトレジスタ6の関係を示したものである。同図に示すように、垂直シフトレジスタ6には、受光部4の受光素子SA、SBの半分のピッチで電極Va、Vb、Vc、Vdが形成される。この場合垂直シフトレジスタ6の電極Vb及びVdは、夫々受光部4の受光素子SB及びSAに対応するように配置され、一方、垂直シフトレジスタ6の電極Va及びVcは、夫々受光部4の受光素子SA及びSBの双方に跨るように配置される。そして、垂直シフトレジスタ6の電極Va~Vdに上述した4相の垂直転送クロックV1~V4が供給される。

【0006】 このような構成において、奇数フィールドの最初の垂直帰線期間内で垂直転送クロックV1がレベルV_Tとなる期間に、受光素子SA及びSBに蓄積された信号電荷は、伝送ゲート5を介して、垂直シフトレジスタ6の電極Vaに対応する部分に転送される。そのうち、垂直シフトレジスタ6によって水平シフトレジスタ7に1走査線分ずつ転送される。図16A~Fは、図17A~Dに示す垂直転送クロックV1~V4の時点t1~t6における信号電荷の転送位置を示したものであるが、この図からも明らかなように、順次電位の井戸が移るようになされ、垂直シフトレジスタ6の電極Vaの部分に転送された信号電荷（丸印のマイナスで図示）は垂直方向に転送される。また、偶数フィールドの最初の垂直帰線期間内で垂直転送クロックV3がレベルV_Tとなる期間に、受光素子SB及びSAに蓄積された信号電荷は、転送ゲート5を介して垂直シフトレジスタ6の電極Vcに対応する部分に転送される。そのうち、上述した奇数フィールドの場合と同様に、垂直シフトレジスタ6によって1走査線分ずつ転送される。

【0007】 図13に戻って、水平シフトレジスタ7には、端子10、11より、図18A、Bに示すような1画素周期、例えば70ns周期の2相の水平転送クロックH1、H2が供給され、信号電荷は、電荷検出部8を介して順次取り出される。

【0008】 また、電荷検出部8の出力端は、コンデンサ12を介して接地されると共に、FET13のソースに接続され、そのドレインには直流電圧E_gが供給される。また、このFET13のゲートには、端子14より水平転送クロックH1、H2に同期したリセットパルスPG（図18Dに図示）がコンデンサ15を介して供給される。また、電荷検出部8及びコンデンサ12の接続点はFET16のゲートに接続され、このFET16のドレインには直流電圧Eが供給され、そのソースには出力端子2が接続される。

【0009】 以上の構成において、リセットパルスPG

が高レベルである期間には、F E T 1 3 はオンとなり、コンデンサ 1 2 は電圧 E_R まで充電され、リセットレベルとなる。一方、リセットパルス P G が低レベルである期間には F E T 1 3 はオフとなり、電荷検出部 8 からの信号電荷に応じてコンデンサ 1 2 の両端電圧が低下する。そのため、出力端子 2 には図 1 8 E に示すような電荷検出出力電圧 V_0 が出力される。この図 1 8 E において E_P はプリチャージレベルであり、このプリチャージレベルに続くレベルが信号レベルとなる。

【0010】また、出力電圧 V_0 より出力信号 S_0 を検出して出力するのに以下のように処理され、信号レベル部分にのっているリセット毎に異なるレベルとなるリセットノイズ N_R が除去される。つまり、信号レベル部分にリセットノイズ N_R がのるとき、プリチャージレベル部分にも同じレベルのリセットノイズ N_R がのることに着目したものである。図 1 8 E において、破線はリセットノイズ N_R がのっている状態を示している。

【0011】図 1 3 において、出力端子 2 からの出力電圧 V_0 は出力回路 2 0 を構成するサンプルホールド回路 2 1 に供給される。このサンプルホールド回路 2 1 には、端子 2 6 より、信号レベル期間に対応したサンプリングパルス S H D (図 1 8 G に図示) が供給されて出力電圧 V_0 の信号レベル部分がサンプリングホールドされる。そして、そのホールド出力 H_S はオペアンプ 2 2 の反転入力端子に供給される。

【0012】また、出力電圧 V_0 はサンプルホールド回路 2 3 に供給される。このサンプルホールド回路 2 3 には、端子 2 7 より、プリチャージレベル期間に対応したサンプリングパルス S H_P (図 1 8 F に図示) が供給されて、出力電圧 V_0 のプリチャージレベル部分がサンプリングホールドされる。そして、そのホールド出力 H_{N1} は、さらにサンプルホールド回路 2 4 に供給される。このサンプルホールド回路 2 4 には、端子 2 6 よりサンプリングパルス S H D が供給されて、ホールド出力 H_{N1} がサンプリングホールドされる。そして、そのホールド出力 H_{N2} は、オペアンプ 2 2 の非反転入力端子に供給される。

【0013】ここで、ホールド出力 H_S 、 H_{N1} 、 H_{N2} には、夫々サンプリングパルスに対応して飛び込みパルスが出現する。

【0014】以上の構成において、出力電圧 V_0 には図 1 8 E の破線に示すように各リセット毎に異なるレベルのリセットノイズ N_R がのっているときには、図示せずともサンプルホールド回路 2 1、2 3、2 4 のホールド出力 H_S 、 H_{N1} 、 H_{N2} にも、リセットノイズ N_R がのっている。したがって、ホールド出力 H_S と H_{N1} との差をとることによりリセットノイズ N_R を除去することができる。しかし、ホールド出力 H_S と H_{N1} とは出力電圧 V_0 の異なる時点でのサンプリングによるものであるから、飛び込みパルスの出現時点に位相差を生じ、単にホール

ド出力 H_S と H_{N1} との差をとると、飛び込みパルスがそのまま現れる。この例では、上述したようにホールド出力 H_{N1} がサンプリングパルス S H D によってさらにサンプルホールドされるので、そのホールド出力 H_{N2} 中の飛び込みパルスは、ホールド出力 H_S 中の飛び込みパルスと同相になる。

【0015】したがって、オペアンプ 2 2 より導出された出力端子 2 5 には、リセットノイズ N_R が除去されると共に、サンプルホールド時における飛び込みパルスも十分に抑圧された出力信号 S_0 が得られる。

【0016】この図 1 3 例の撮像装置に供給される垂直転送クロック $V_1 \sim V_4$ 、水平転送クロック H_1 、 H_2 、リセットパルス P G、サンプリングパルス S H D、S H P は、図 1 9 に示すような構成をもって形成される。即ち、3 1 はタイミング発生回路であり、このタイミング発生回路 3 1 には、水晶発振器 3 2 より、例えば 8 f s c (f s c は色副搬送波周波数で N T S C 方式では 3.58 M H z) の周波数を有する周波数信号 S_1 が供給される。そして、このタイミング発生回路 3 1 より 4 f s c の周波数を有する周波数信号 S_2 が発生され、この周波数信号 S_2 は同期信号発生器 3 3 に供給される。この同期信号発生器 3 3 では、周波数信号 S_2 に基づいて垂直同期パルス V D 及び水平同期パルス H D (図 1 4 A 及び B に図示) が形成され、これら同期パルス V D 及び H D は、タイミング発生回路 3 1 に供給される。

【0017】タイミング発生回路 3 1 からは、C C D 固体撮像素子 3 の受光部 4 より垂直シフトレジスタ 6 に信号電荷を転送する期間 (読み出し期間) を特定するセンサゲート信号 X S G (図 1 4 F に図示) 及び垂直転送クロック $V_1' \sim V_4'$ (図 1 4 G ~ J に図示) が発生され、夫々垂直クロックドライバ 3 4 に供給される。そして、この垂直クロックドライバ 3 4 により、垂直転送クロック $V_1 \sim V_4$ (図 1 4 K ~ N に図示) が C C D 装置 1 の端子 9 に供給される。また、タイミング発生回路 3 1 からは、パルス X P G (図 1 8 C に図示) が発生されてインバータにより構成されるリセットパルスドライバ 3 5 に供給され、このリセットパルスドライバ 3 5 より、リセットパルス P G (図 1 8 D に図示) が C C D 装置 1 の端子 1 4 に供給される。また、タイミング発生回路 3 1 からは、水平転送クロック H_1 、 H_2 (図 1 8 A、B に図示) が発生され、この水平転送クロック H_1 、 H_2 は水平クロックドライバ 3 6 を介して C C D 装置 1 の端子 1 0、1 1 に供給される。さらに、タイミング発生回路 3 1 からは、サンプリングパルス S H D、S H P (図 1 8 F、G に図示) が発生されて、出力回路 2 0 の端子 2 6、2 7 に供給される。なお、図 1 8 において、 T_{PG} は、リセットパルスドライバ 3 5 による遅延時間、 T_{IN1} 、 T_{IN2} は、C C D 装置 1 による遅延時間を示している。

【0018】

【発明が解決しようとする課題】ところで、タイミング発生回路31において、垂直転送クロック $V1' \sim V4'$ 、センサーゲート信号 XSG 等のタイミングパルスを発生させる回路は、例えば論理回路を用いて構成されている。このような構成のものでは、発生するタイミングパルスがその論理構成によって一義的に決まるため、発生させるタイミングパルスの変更、修正をする場合には、変更、修正時に新たに設計を行う必要があり、容易ではなかった。そこで、このような煩わしさがなく、発生させるタイミングパルスを容易に変更、修正できるように、図20に示すようにROMを用いてタイミングパルスを発生させることが考えられている。図20において41はカウンタ、42はROMである。ROM42の各アドレスにはタイミングパルス $P1, P2, P3, \dots$ のデータが書き込まれており、このROM42にはカウンタ41のカウンタ出力がアドレス信号として供給され、このROM42からは、パルス $P1, P2, P3, \dots$ が出力される。

【0019】この図20例によれば、水平方向に繰り返すタイミングパルスと垂直方向に繰り返すタイミングパルスとを、夫々共通のROM42より得るものであるため、ROM42の容量が膨大となる不都合があった。例えば、NTSC方式の場合、 $2fsc = 455f_H$ (f_H は水平周波数)の関係があると共に、525ライン/フレームの関係があるので、カウンタ41のクロック端子CKに供給されるクロックCLKの周波数が $2fsc$ であるときには、1個のタイミングパルスを発生させるデータは、 $455 \times 525 = 238875$ ビットとなる。そのため、ROM42の容量は、N個のタイミングパルスを発生させるときには、 $N \times 238875$ ビット必要となる。したがって、ROM42の容量は、1個のタイミングパルスに対応して262144ビットとされ、このときアドレスカウンタは262144のアドレスを指定できれば足り、カウンタ41は18ビットカウンタとされる。

【0020】本発明はこのような点を考慮し、メモリの容量を小さくできるようにすることを目的とするものである。

【0021】

【課題を解決するための手段】この発明のタイミングパルス発生回路は、水平周期の第1の基準パルスで制御される第1のアドレスカウンタと、この第1のアドレスカウンタの出力で読み出しアドレスが制御される第1のROM手段と、水平周波数に比して十分高い周波数を有する第2の基準パルスで制御される第2のアドレスカウンタと、この第2のアドレスカウンタの出力で読み出しアドレスが制御される第2のROM手段とを有し、上記第1のROM手段及び上記第2のROM手段より、それぞれ第1のタイミングパルス及び第2のタイミングパルスを得るタイミングパルス発生回路であって、上記第2の

ROM手段は、論理レベルデータが記憶された第1のROMと、上記論理レベルデータのレベルを保持する期間を表す保持期間データが記憶された第2のROMとを含み、第1のROMは上記第2のタイミングパルスを生成するように制御され、上記第2のアドレスカウンタは、上記第2の基準パルスをカウントし、上記第2のROMからの出力結果に基づいて出力パルスを生成する第1のカウントと、上記第1のカウントからの出力によって制御される第2のカウントを含み、上記第2のカウントの出力によって、上記第1のROMのアドレスと上記第2のROMのアドレスとが制御されるものである。

【0022】このようなタイミングパルス発生回路によれば以下の作用をする。第1のROMからは垂直方向に繰り返すタイミングパルスが得られると共に、第2のROMからは水平方向に繰り返すタイミングパルスが得られるものであるので、これら第1及び第2のROMは容量の小さなもので構成し得る。

【0023】

【発明の実施の形態】以下、図面を参照しながら本発明の一実施の形態について説明する。図1はタイミング発生回路を示すものである。同図において、51は発振器であり、この発振器51からの、例えば $8fsc$ の周波数の周波数信号S1は、タイミング発生回路60の端子61に供給される。また、タイミング発生回路60の端子62及び63には、同期信号発生器(図示せず)より、夫々垂直同期パルスVD及び水平同期パルスHDが供給され、これら同期パルスVD、HD(図14A、Bに図示)は、同期回路64に供給される。

【0024】また、65は水平ROM回路である。端子61に供給される周波数信号S1は、分周器66を介して分周器67に供給され、この分周器67より出力される $2fsc$ の周波数信号は、クロックCLKHとして水平ROM回路65に供給される。また、同期回路64からは、水平周期のリセットパルス P_{RH} が発生され、このリセットパルス P_{RH} は水平ROM回路65に供給される。そしてこの水平ROM回路65からは、図14C及びDに示すような水平方向に繰り返すパルス S_{H1} 及び S_{H2} が出力されると共に垂直転送期間であり、水平転送クロックH1、H2を出力しない期間を特定するパルス S_{H3} が出力される。

【0025】この水平ROM回路65は、例えば図2に示すように構成される。同図において、651はアドレスカウンタを構成する7ビットカウンタである。このカウンタ651のクロック端子CKにクロックCLKHが供給されると共に、そのリセット端子REにリセットパルス P_{RH} が供給される。このカウンタ651の7ビットのカウント出力はROM652にアドレス信号として供給される。このROM652の各アドレスには、水平方向に繰り返すタイミングパルスのデータが書き込まれている。NTSC方式の場合、 $2fsc = 455f_H$ の関

係があるので、クロックCLKHの周波数は $2f_{sc}$ であるから本来1個のタイミングパルスを発生させるデータは、455ビットとなる。しかし、ビデオ信号へのノイズを考慮して、タイミングパルスのほとんどは水平帰線期間内で変化するので、本例においては、このように変化する前後のデータのみがROM652に書き込まれる。例えば、1個のタイミングパルスを発生させるためにROM652に書き込まれるデータは128ビットとされる。このように、水平方向に繰り返す1個のタイミングパルスを発生させるためにROM652に書き込まれるデータが128ビットであるので、アドレスカウンタは128のアドレスを指定できれば足り、上述したように7ビットカウンタ651で構成される。なお、ROM652には、タイミングパルスが変化する前後のデータのみが書き込まれるので、このデータに対応するタイミングで読み出して出力させるために、図示せずとも例えば同期回路64より発生される制御信号によってカウンタ651のカウンタ動作が制御される。

【0026】また、水平ROM回路65は、例えば、図3に示すように構成される。同図において、651'は8ビットカウンタである。このカウンタ651'のクロック端子CKには、クロックCLKHが供給されると共に、そのリセット端子REには、リセットパルス P_{RH} が供給される。また、このカウンタ651'にはインターバルを決定する、クロックCLKHの個数 n を示すデータDCKが供給され、このカウンタ651'は n 進カウンタにセットされる。

【0027】また、652'は5ビットカウンタである。このカウンタ652'のクロック端子CKには、カウンタ651'のキャリー（桁上げ出力）が供給され、そのリセット端子REには、リセットパルス P_{RH} が供給される。このカウンタ652'の5ビットのカウンタ出力はアドレスROM653'及びデータROM654'にアドレス信号として供給される。

【0028】アドレスROM653'の各アドレスには、タイミングパルスが変化する時点から次の時点までのインターバルを決定するクロックCLKHの個数 n を示すデータDCKが書き込まれている。また、データROM654'の各アドレスには、タイミングパルスのデータのうち、変化時点のデータのみが書き込まれている。

【0029】データROM654'からは、実際には、パルス $S_{H1} \sim S_{H3}$ が出力されるのであるが、ここでは、説明を簡略化するため、図4A及びBに示すようなタイミングパルスP1及びP2を発生させるとする。この場合、アドレスROM653'のアドレスX、X+1、X+2には、図5に示すように、データDCKとして「10」、「15」、「6」が書き込まれている。また、データROM654'のアドレスX、X+1、X+2には、図6に示すように、パルスP1用のデータとして

「1」、「1」、「0」が書き込まれると共に、パルスP2用のデータとして「1」、「0」、「0」が書き込まれている。

【0030】また、アドレスROM653'より出力されるデータDCKは上述した8ビットカウンタ651'に供給される。

【0031】この図3に示すような構成において、時点 T_1 で例えばリセットされて、5ビットカウンタ652'のカウンタ出力は「X」となり、アドレスROM653'より出力されるデータDCKは「10」となるので、8ビットカウンタ651'は10進カウンタにセットされると共に、データROM654'より出力されるタイミングパルスP1及びP2は、夫々高レベル“1”及び高レベル“1”となる。

【0032】つぎに、8ビットカウンタ651'は10進カウンタにセットされているので、クロックCLKHが10個供給される時点 T_2 で8ビットカウンタ651'よりキャリーが出力され、この時点 T_2 で5ビットカウンタ652'のカウンタ出力は「X+1」となり、アドレスROM653'より出力されるデータDCKは「15」となるので、8ビットカウンタ651'は15進カウンタにセットされると共に、データROM654'より出力されるタイミングパルスP1及びP2は、夫々高レベル“1”及び低レベル“0”となる。次に、8ビットカウンタ651'は、15進カウンタにセットされているので、クロックCLKHが15個供給される時点 T_3 で8ビットカウンタ651'よりキャリーが出力され、この時点 T_3 で5ビットカウンタ652'のカウンタ出力は「X+2」となり、アドレスROM653'より出力されるデータDCKは「6」となるので、8ビットカウンタ651'は6進カウンタにセットされると共に、データROM654'より出力されるタイミングパルスP1及びP2は、夫々低レベル“0”及び低レベル“0”となる。以下、上述したと同様に繰り返して動作する。したがって、データROM654'からは、図4A及びBに示すようなタイミングパルスP1及びP2が得られる。つまり、この図3例のように、水平ROM回路65を構成しても、パルス $S_{H1} \sim S_{H3}$ が得られる。

【0033】さらに、水平ROM回路65は例えば図7に示すように構成される。同図において、651''は8ビットカウンタである。このカウンタ651''のクロック端子CKには、クロックCLKHが供給されると共に、そのリセット端子REには、リセットパルス P_{RH} が供給される。そして、このカウンタ651''の8ビットのカウンタ出力は比較器655''に供給される。また、この比較器655''にはアドレスROM653'より出力されるデータDCKが供給される。そして、この比較器655''からは、カウンタ655''のカウンタ出力がデータDCKと一致するとき一致検出パルスが出力され、この一致検出パルスは5ビットカウンタ652'の

クロック端子CKに供給される。なお、この一致検出パルスが出力される毎にカウンタ651はリセットされる。その他は、図3例と同様に構成される。

【0034】この図7例においても、その構成より明らかなように、図3例と同様の動作をする。

【0035】図1に戻って、69は垂直ROM回路である。同期回路64からは、水平周期のクロックCLKV及びフレーム周期のリセットパルス P_{RV} が発生され、これらクロックCLKV及びリセットパルス P_{RV} は、垂直ROM回路69に供給される。そして、この垂直ROM回路69からは、図14Eに示すように、奇数フィールド及び偶数フィールドでのCCD固体撮像素子3の読み出し期間に対応して低レベルとなる垂直方向に繰り返すパルス S_{V1} が出力される。

【0036】この垂直ROM回路69は、例えば図8に示すように構成される。同図において、691はアドレスカウンタを構成する5ビットカウンタアドレスを指定できれば足り、上述したように5ビットカウンタ691で構成される。なお、ROM692には、タイミングパルスが変化する前後のデータのみが書き込まれるので、このデータを対応するタイミングで読み出して出力させるために、図示せずとも例えば同期回路64より発生される制御信号によってカウンタ691のカウント動作が制御される。

【0037】また、図1に戻って、水平ROM回路65より出力されるパルス S_{H1} 及び S_{H2} 及び垂直ROM回路69より出力されるパルス S_{V1} は垂直クロック回路68に供給され、この垂直クロック回路68においては垂直転送クロック $V1' \sim V4'$ （図14G～Jに図示）及びセンサーゲート信号XSG（図14Fに図示）が形成され、夫々端子70及び71に供給される。

【0038】また、端子61に供給される周波数信号S1は分周器72で4fscの周波数を有する周波数信号S2'とされたのち、ゲート回路73を介して位相調整回路74に供給される。このゲート回路73には、水平ROM回路65より出力されるパルス S_{H3} がゲートパルスとして供給されるので、位相調整回路74には、垂直転送期間であり、水平転送クロックH1、H2を出力しない期間で周波数信号S2'が供給されないようになされる。

【0039】この位相調整回路74では、周波数信号S2'より水平転送クロックH1、H2（図18A、Bに図示）、リセットパルスSHP、SHD（図18F、Gに図示）が形成され、夫々位相調整される。この場合、水平転送クロックH1、H2の位相調整は、後述する水平クロックドライバでの群遅延をも考慮して行なわれる。

【0040】位相調整部は、図9に示すようにインバータ91が直列接続されたインバータ列を用いて行なわれる。つまり、インバータの延長時間（プロパゲーション

ディレイタイム）を利用するものである。この場合、遅延時間を安定して再現するため、各インバータ91の特性は全く同一の特性のものとされたと共に、各インバータ91間の配線長は同一にされて各インバータ91の出力につく容量（遅延時間を決める要素である）が一定となるようにされる。このとき、プロセスのばらつき（特に配線の容量のばらつき）を解消するために、配線は最短とされる。また、各インバータ列はインバータ91のレイアウト及びインバータ91間の配線長を含めて1つのセルとして取り扱われる。即ち、各インバータ列は、相互に同一形状で、同一の特性で近接配置される。このような各インバータ列において、出力を取り出す点を変更することで位相調整が行なわれる。図9において、92は出力バッファである。

【0041】なお、上述していないが、タイミング発生回路60の全体は同一基板上でIC化されて形成され、その配線は多層配線とされる。この位相調整部の配線は最上層の配線とされ、いわゆる2A1で行なわれる。したがって、2A1マスク1枚の変更により、外部回路条件に合った位相に調整される。

【0042】また、位相調整回路74で位相調整されたリセットパルスXPG、サンプリングパルスSHP、SHDは、夫々端子75、76、77に供給される。また、位相調整回路74で位相調整された水平転送クロックH1、H2は、夫々水平クロックドライバ781及び782を介して端子79、80に供給される。この場合、水平クロックドライバ781、782は、夫々図10に示すように、インバータ $I_1 \sim I_5$ が直列接続されて構成される。この場合、インバータ $I_1 \sim I_5$ は、夫々図11に示すように、PチャンネルMOSFET Q_P とNチャンネルMOSFET Q_N とが接続されて構成されるが、インバータ I_1 から I_5 となるに従って、FET Q_P 、 Q_N 共にチャンネル幅が約3倍ずつ増加されて形成され（チャンネル長は略一定）、ドライブ能力が徐々に高められるようになされる。

【0043】また、図1に戻って、分周器66より出力される4fscの周波数の周波数信号S2は端子81に供給される。

【0044】図12は、図1例のタイミング発生回路60を用いた場合のCCD固体撮像装置を示したものであり、図19と対応する部分には同一符号を付して示している。

【0045】このように本例によれば、水平方向の繰り返しパルス $S_{H1} \sim S_{H3}$ を水平ROM回路65より得ると共に、垂直方向の繰り返しパルス S_{V1} を垂直ROM回路69より得るようにしているので、これら水平ROM回路65及び垂直ROM回路69のROM652、653'、654'、692に書き込まれるデータ量は少なくなり、使用するROMの容量を小さくすることができる。

【0046】また、水平ROM回路65及び垂直ROM回路69を、夫々図2例及び図8例のように構成するものによれば、ROM652及び692にはタイミングパルスが変化する前後のデータのみが書き込まれるので、書き込まれるデータ量はさらに少なくなり、ROM652及び692の容量を一層小さくすることができる。

【0047】また、水平ROM回路65を、図3例及び図7例のように構成するものによれば、アドレスROM653'には、タイミングパルスの変化時点間のインバータのデータDCKが書き込まれると共に、データROM654'には、タイミングパルスの変化時点のデータのみが書き込まれるので、書き込みデータ量は少なくなり、ROM653'、654'の容量を小さくすることができる。

【0048】また、タイミング発生回路60の全体は同一基板上でIC化されて形成され、多層の配線とされる。そして、位相調整回路74の配線は2A1で行なわれるので、水平転送クロックH1、H2、リセットパルスXPG、サンプリングパルスSHP、SHDの位相を、2A1マスク1枚の変更により外部回路条件に合った位相に調整することができ、位相調整を容易に行なうことができる。

【0049】また、水平クロックドライバ781、782がタイミング発生回路60と同一基板上に形成されるので、温度特性やICのばらつきに対しても、サンプリングパルスSHP、SHDと水平転送クロックH1、H2との位相関係は一定となり、CCD装置1における遅延時間だけを考慮するだけで、出力回路20におけるサンプリングを正確に行なわせることができる。

【0050】なお、プリセットパルスドライバ35もタイミング発生回路60と同一基板上に形成することが考えられる。しかし、リセットパルスPGのレベルが充分でないと、リセットが不十分となる。そこで、本例においては、リセットパルスPGのレベルを充分とするのに、別電源で動作する外部回路として構成した方が回路構成が簡単となるため、あえてタイミング発生回路60と同一基板上には形成していない。

【0051】

【発明の効果】以上述べた本発明によれば、水平方向に繰り返すタイミングパルスと垂直方向に繰り返すタイミングパルスとを別個のROMより得るようにしたので、ROMの書き込みデータ量を少なくすることができ、ROMの容量を大幅に削減することができる。なお、ROMよりタイミングパルスを得るものであるので、ROMのデータの変更だけでタイミングパルスの変更修正を容易に行なうことができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のタイミング発生回路を示す構成図である。

【図2】本発明の一実施の形態の水平ROM回路の構成図である。

【図3】本発明の一実施の形態の水平ROM回路の構成図である。

【図4】図3例の説明をするための図である。

【図5】本発明の一実施の形態のアドレスROM内のデータを示す図である。

【図6】本発明の一実施の形態のデータROM内のデータを示す図である。

【図7】本発明の一実施の形態の水平ROM回路の構成図である。

【図8】本発明の一実施の形態の垂直ROM回路の構成図である。

【図9】本発明の一実施の形態の位相調整部の構成図である。

【図10】本発明の一実施の形態の水平クロックドライバの構成図である。

【図11】本発明の一実施の形態のインバータの構成図である。

【図12】本発明の一実施の形態のCCD固体撮像装置の構成図である。

【図13】従来のCCD固体撮像装置の構成図である。

【図14】従来の垂直転送クロックを示す図である。

【図15】従来の受光部、転送ゲート、垂直シフトレジスタの関係を示す図である。

【図16】従来の垂直シフトレジスタの説明図である。

【図17】従来の垂直シフトレジスタの説明図である。

【図18】従来の水平転送クロック等を示す図である。

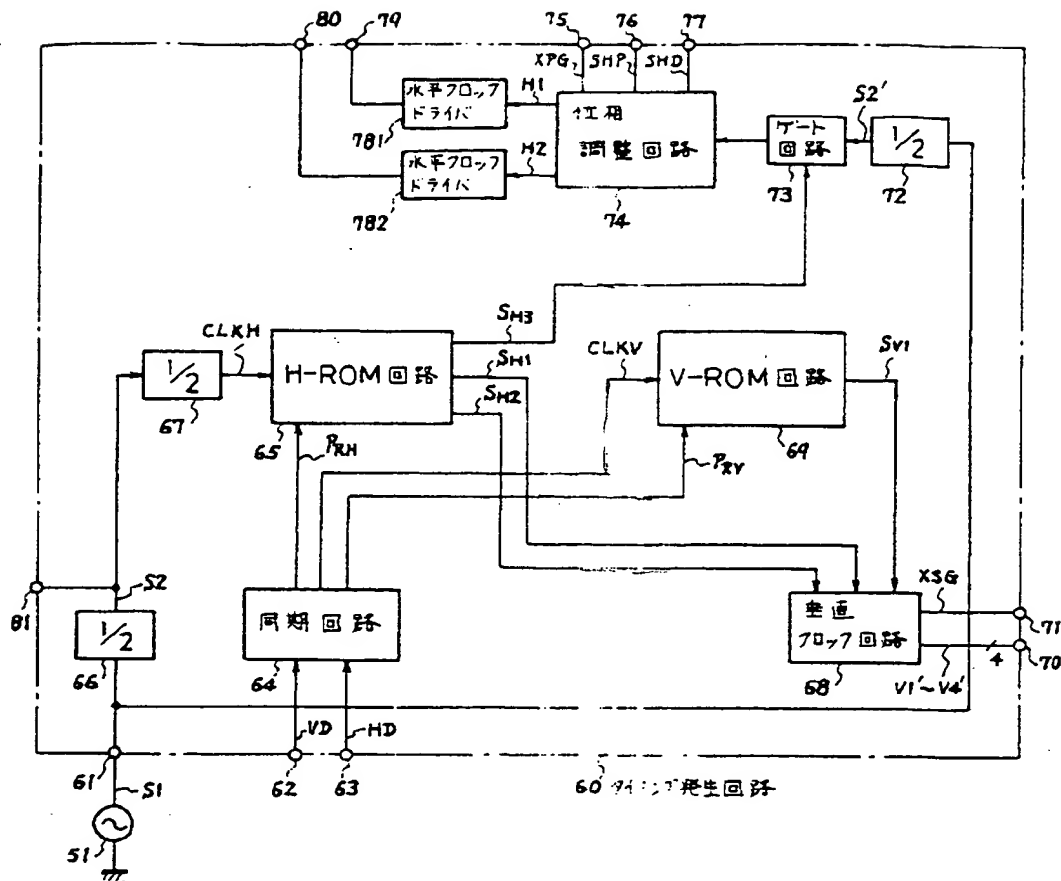
【図19】従来のCCD固体撮像装置の構成図である。

【図20】従来のタイミング発生回路の一例の構成図である。

【符号の説明】

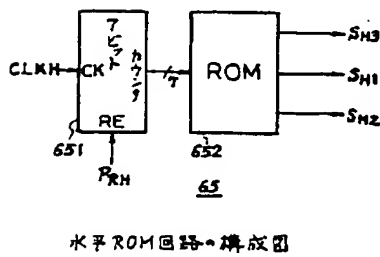
60 タイミング発生回路、64 同期回路、65 水平ROM回路、68 垂直クロック回路、69 垂直ROM回路、74 位相調整回路、781、782 水平クロックドライバ

【図1】

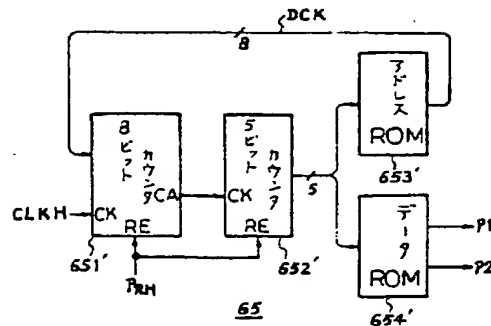


94557発生回路の構成図

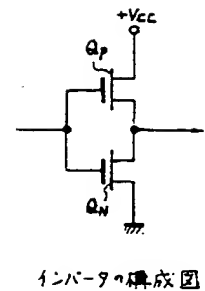
【図2】



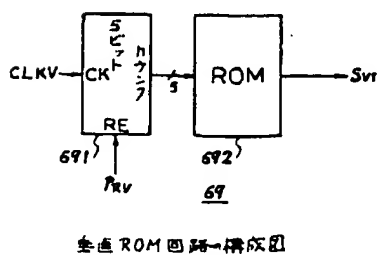
【図3】



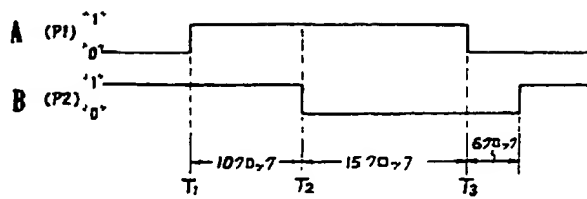
【図11】



【図8】



【図4】



第3図例の説明のための図

【図6】

アドレス データ	—	X	X+1	X+2	—
P1用データ	0	1	1	0	0
P2用データ	1	1	0	0	1

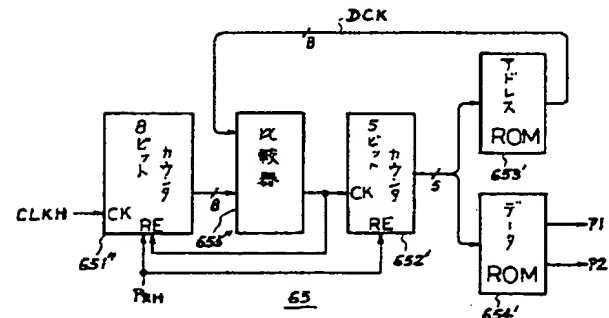
データROM内のデータ表示図

【図5】

アドレス	—	X	X+1	X+2	—
データ DCK	—	10	15	6	—

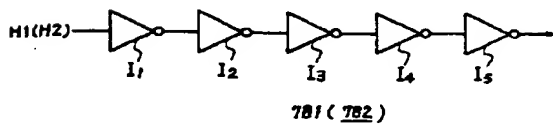
アドレスROM内のデータ表示図

【図7】



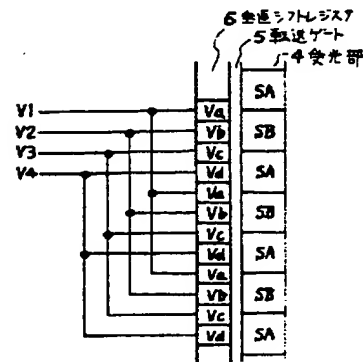
水平ROM回路の構成図

【図10】



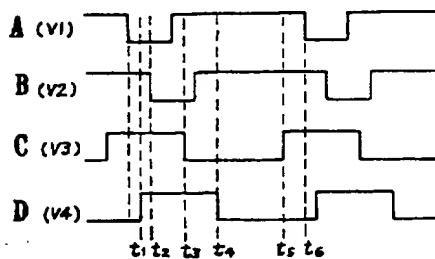
水平クロックドライバの構成図

【図15】



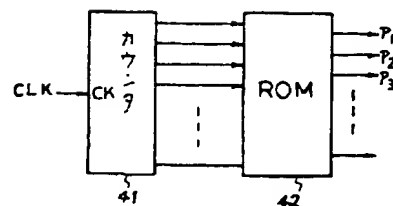
変数部、伝送ゲート、5ビットシフトレジスタの構成図

【図17】



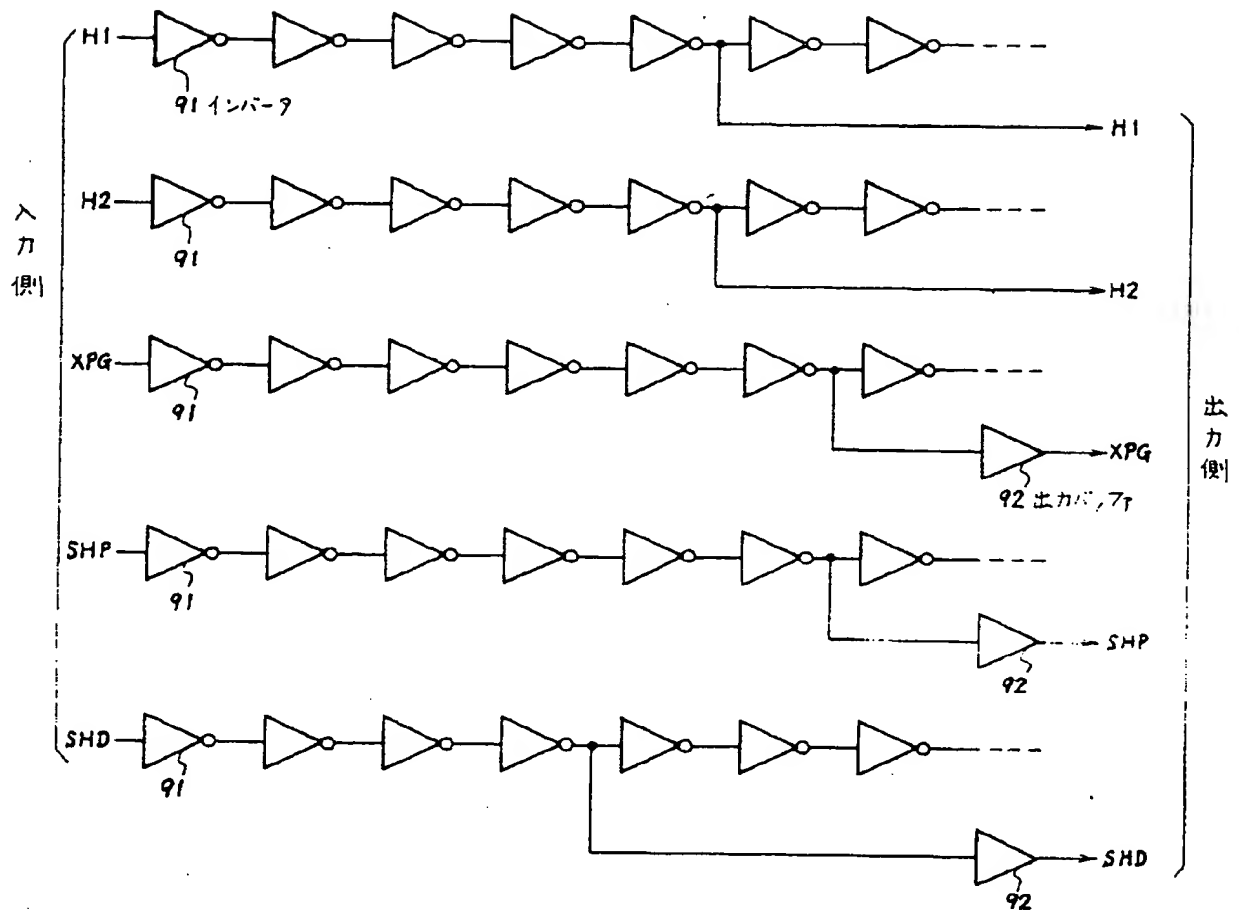
5ビットシフトレジスタの説明図

【図20】



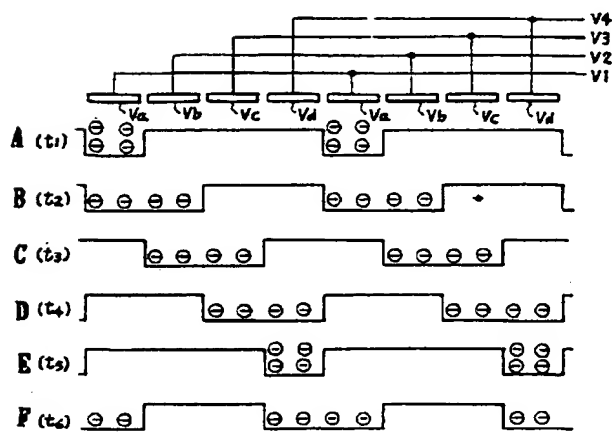
タイミング発生回路の一例の構成図

【図 9】



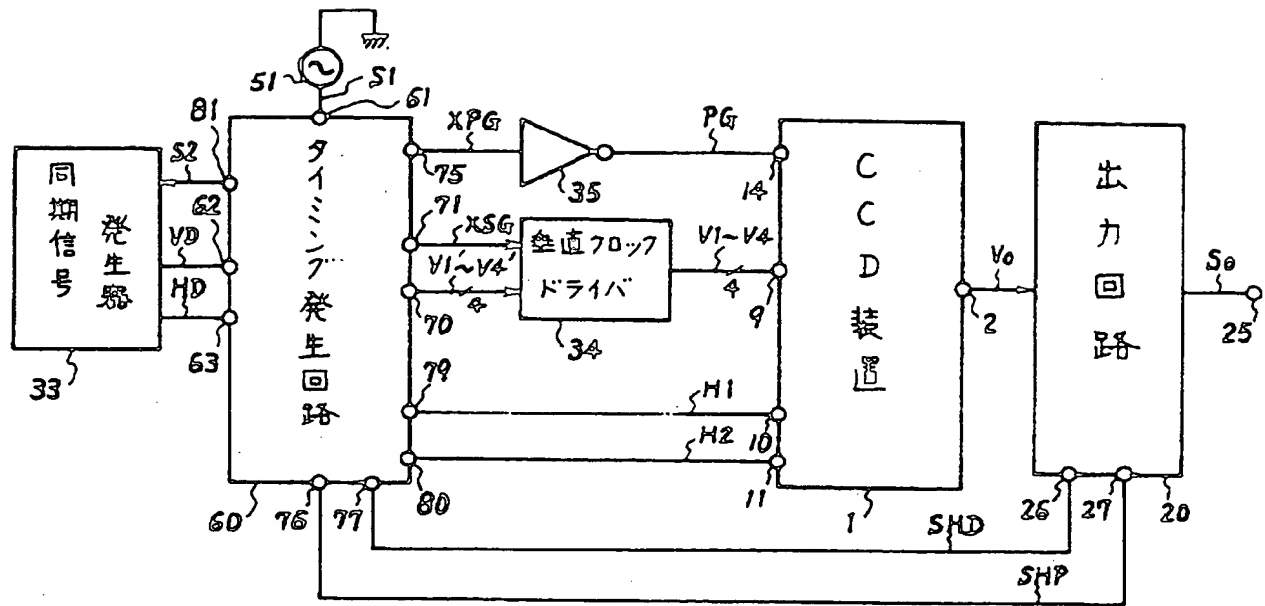
位相調整部の構成図

【図 16】



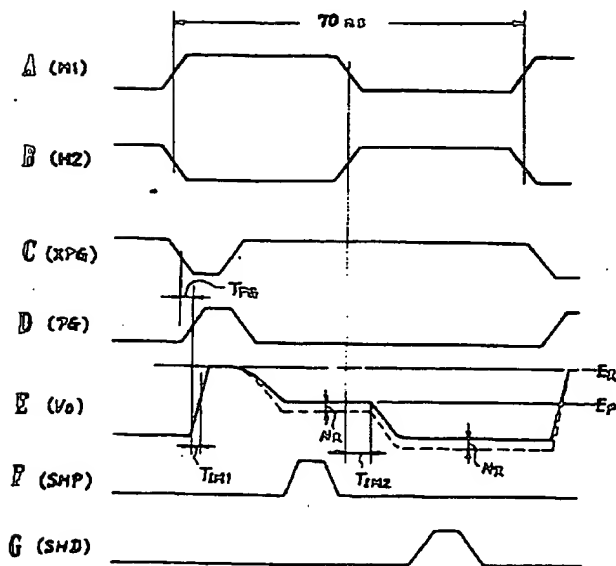
全通シフトレジスタの説明図

【図12】



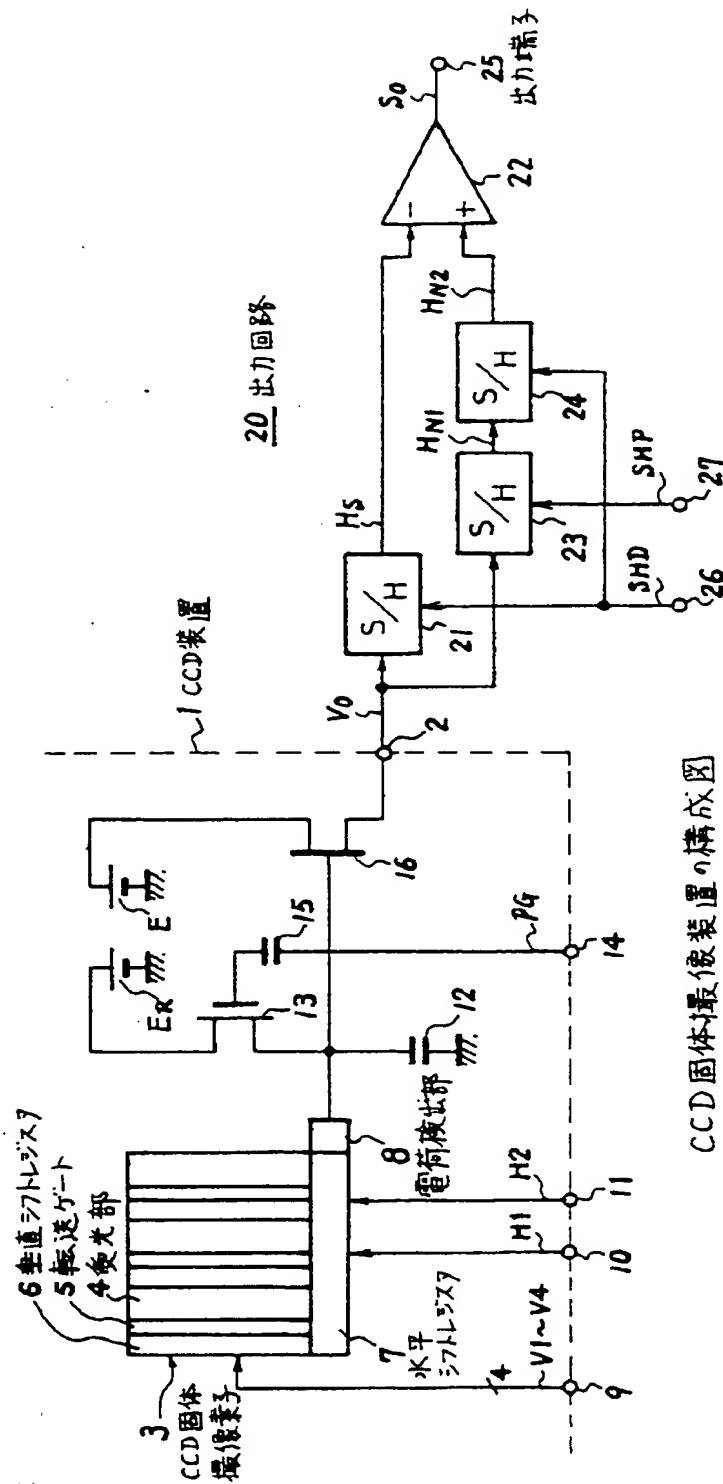
CCD固体撮像装置の構成図

【図18】



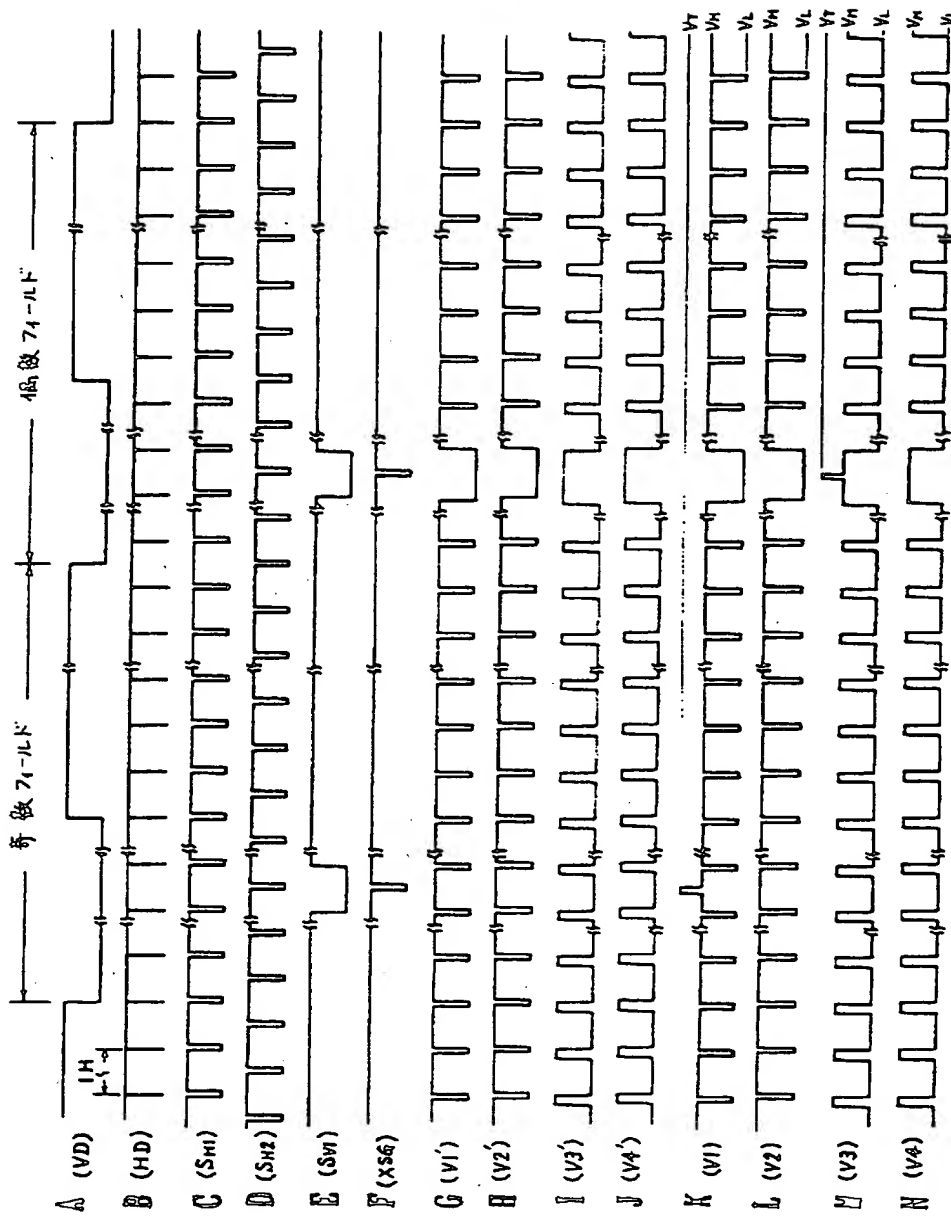
水平戻遅70ns等を示す図

【图 13】



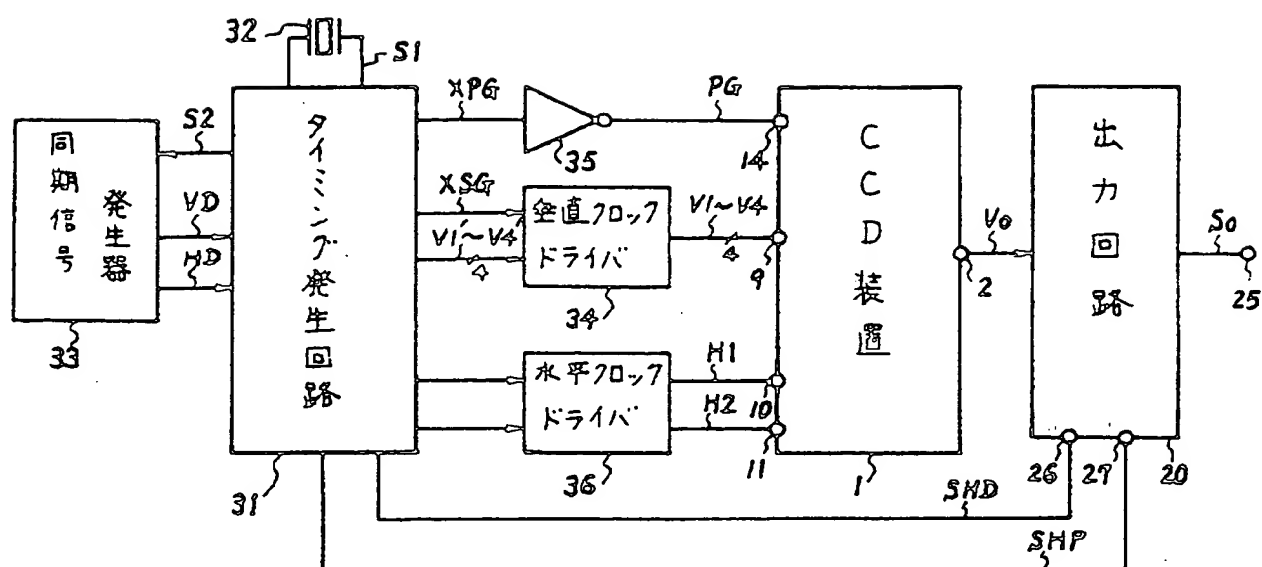
CCD固体摄像装置の構成図

【図14】



全画素送クロック信号図

【図19】



CCD固体撮像装置の構成図